

MEMORY BACKUP METHOD

Publication number: JP2000194607

Publication date: 2000-07-14

Inventor: KOSUGE HIROAKI; IWASAKI TETSUYA

Applicant: YAMATAKE CORP

Classification:

- international: **G06F12/16; G06F12/16; (IPC1-7): G06F12/16**

- European:

Application number: JP19980366559 19981224

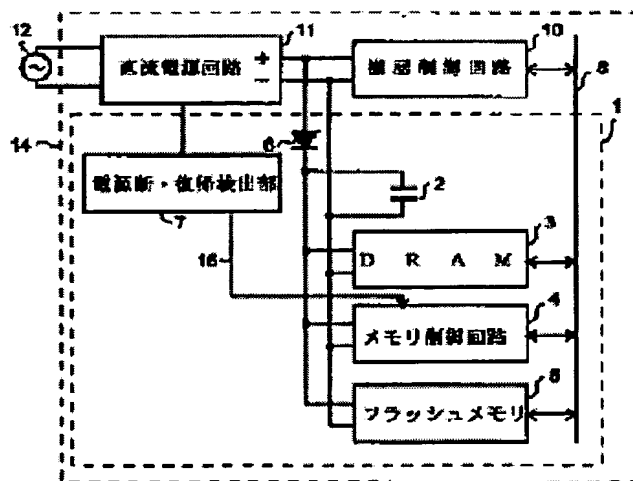
Priority number(s): JP19980366559 19981224

Report a data error here

Abstract of JP2000194607

PROBLEM TO BE SOLVED: To provide a memory backup method which needs no batteries and never lowers the processing speed of a processor.

SOLUTION: An electric double layer capacitor 2 is placed in parallel to a DC power line set for a nonvolatile memory, a memory control means and volatile memory. The capacitor 2 is charged in an energizing mode and supplies the power to the nonvolatile memory, memory control means and volatile memory in a power cutoff mode and at least for a time when the saving of data is over to the nonvolatile memory. In the power cutoff mode, the memory control means reads the data out of the volatile memory and compresses these data to write them into the nonvolatile memory. When the power supply is restored, the memory control means reads the data out of the nonvolatile



memory and restores these data
to write them into the volatile
memory.

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-194607

(P2000-194607A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.⁷

G 0 6 F 12/16

識別記号

3 4 0

F I

G 0 6 F 12/16

テーマコード(参考)

3 4 0 Q 5 B 0 1 8

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21)出願番号

特願平10-366559

(22)出願日

平成10年12月24日(1998.12.24)

(71)出願人 000006666

株式会社山武

東京都渋谷区渋谷2丁目12番19号

(72)発明者 小菅 博章

東京都渋谷区渋谷2丁目12番19号 株式会社山武内

(72)発明者 岩崎 哲也

東京都渋谷区渋谷2丁目12番19号 株式会社山武内

(74)代理人 100064621

弁理士 山川 政樹

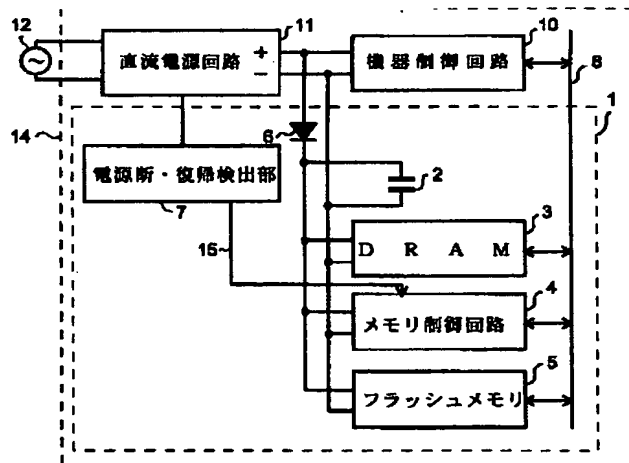
Fターム(参考) 5B018 GA04 HA31 KA03 KA22 NA02
QA05 QA06 RA11

(54)【発明の名称】 メモリ・バックアップ方法

(57)【要約】

【課題】 電池が不要で、かつプロセッサの処理速度が下がることのない、メモリ・バックアップ方法を提供する。

【解決手段】 不揮発性メモリとメモリ制御手段と揮発性メモリの直流電源ラインと並列に電気二重層コンデンサを設けて、この電気二重層コンデンサは、通電時に充電し、電源断時に不揮発性メモリとメモリ制御手段と揮発性メモリとに、少なくとも不揮発性メモリへデータ退避が終了するまでの間、電源を供給し、メモリ制御手段は、電源断時に、揮発性メモリからデータを読み出し、圧縮してから不揮発性メモリへ書き込み、電源復帰時に、不揮発性メモリからデータを読み出し、復元してから揮発性メモリへ書き込むようにした。



【特許請求の範囲】

【請求項1】 不揮発性メモリと、メモリ制御手段と、揮発性メモリと、電源断・復帰検出部とを有し、前記揮発性メモリを使用する機器に内蔵されて、電源断を検出して前記揮発性メモリのデータを前記不揮発性メモリに退避させ、かつ電源復帰を検出して前記不揮発性メモリのデータを前記揮発性メモリに復元させるメモリ・バックアップ装置において、前記不揮発性メモリと前記メモリ制御手段と前記揮発性メモリの直流電源ラインと並列に電気二重層コンデンサを設けて、この電気二重層コンデンサは、通電時に充電し、電源断時に前記不揮発性メモリと前記メモリ制御手段と前記揮発性メモリとに、少なくとも前記不揮発性メモリへデータ退避が終了するまでの間、電源を供給し、前記メモリ制御手段は、電源断時に、前記揮発性メモリからデータを読み出し、圧縮してから前記不揮発性メモリへ書き込み、電源復帰時に、前記不揮発性メモリからデータを読み出し、復元してから前記揮発性メモリへ書き込むようにしたことを特徴とするメモリ・バックアップ方法。

【請求項2】 請求項1記載のメモリ・バックアップ方法において、前記揮発性メモリより小さい記憶容量の前記不揮発性メモリと、容量オーバー通知手段とを設けて、前記メモリ制御手段は、通電時、定期的に前記揮発性メモリのデータを圧縮して、そのデータ量が前記不揮発性メモリの記憶容量を越えないか確認し、越える場合は前記容量オーバー通知手段に信号を送り、前記容量オーバー通知手段は、前記信号を受けて、容量オーバーを通知するようにしたことを特徴とするメモリ・バックアップ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、揮発性メモリを使用している機器において、停電等の電源断が発生した際に揮発性メモリに記憶されているデータのバックアップを行うメモリ・バックアップ方法に関する。

【0002】

【従来の技術】 DRAM(Dynamic Random-Access Memory)等の揮発性メモリを使用している機器では、予期しない停電等の電源断が発生した場合、メモリ内のデータは消滅してしまう。このため、失いたくないデータがある場合や、復電時にメモリ内のデータを必要とする場合は、メモリ内容のバックアップ手段が必要となる。従来は、揮発性メモリを使用している機器と電源の間に無停電電源を設けたり、図8に示すように、交流電源12が

電源断となっても揮発性メモリ9へ電力供給を続けるために、直流電源回路11と揮発性メモリ9の間の電源配線に電池13を並列に接続し、直流電源回路11と電池13の間の電源配線に逆流防止ダイオード6を接続したバックアップ回路を設けたりしている。また、この問題を避けるために、フラッシュメモリのような不揮発性メモリを使用する場合もある。

【0003】

【発明が解決しようとする課題】 ところが、無停電電源やバックアップ回路の電池を用いた場合、いずれも電池を用いているためデータ保持時間に制限があり、この時間内に電源が復帰しないとデータが消滅してしまうという問題がある。また、DRAMの消費電流が大きいため大容量の電池が必要であり、機器の大型化や重量増大につながるという問題がある。また、サービスマンが電池を定期的に交換する必要があり、保守費用の増大につながるという問題もある。

【0004】 また、フラッシュメモリなどの不揮発性メモリを採用した場合では、DRAMと比較してデータ書き込み・読み込み時間が長く、高速のプロセッサを使用している機器においては、処理速度が低下するという問題がある。

【0005】 本発明は、このような課題を解決するためになされたもので、その目的とするところは、電池が不要で、かつプロセッサの処理速度が下がることのない、メモリ・バックアップ方法を提供することにある。

【0006】

【課題を解決するための手段】 上述した課題を解決するために、本発明によるメモリ・バックアップ方法は、不揮発性メモリとメモリ制御手段と揮発性メモリと電源断・復帰検出部とを有し、揮発性メモリを使用する機器に内蔵されて、電源断を検出して揮発性メモリのデータを不揮発性メモリに退避させ、かつ電源復帰を検出して不揮発性メモリのデータを揮発性メモリに復元させるメモリ・バックアップ装置において、不揮発性メモリとメモリ制御手段と揮発性メモリの直流電源ラインと並列に電気二重層コンデンサを設けて、この電気二重層コンデンサは、通電時に充電し、電源断時に不揮発性メモリとメモリ制御手段と揮発性メモリとに、少なくとも不揮発性メモリへデータ退避が終了するまでの間、電源を供給し、メモリ制御手段は、電源断時に、揮発性メモリからデータを読み出し、圧縮してから不揮発性メモリへ書き込み、電源復帰時に、不揮発性メモリからデータを読み出し、復元してから揮発性メモリへ書き込むようにしたものである。

【0007】 また、上記メモリ・バックアップ方法において、揮発性メモリより小さい記憶容量の不揮発性メモリと容量オーバー通知手段とを設けて、前記メモリ制御手段は、通電時、定期的に揮発性メモリのデータを圧縮して、そのデータ量が不揮発性メモリの記憶容量を越え

ないか確認し、越える場合は容量オーバー通知手段に信号を送り、容量オーバー通知手段は信号を受けて容量オーバーを通知するようにしたものである。

【0008】

【発明の実施の形態】以下に図を用いて発明の実施の形態を説明する。図1は、本発明に係るメモリ・バックアップ装置の第1の実施の形態を示すブロック図である。このメモリ・バックアップ装置1は、空調監視装置14に内蔵され、直流電源回路11の出力側に機器制御回路10と並列に接続されている。

【0009】メモリ・バックアップ装置1は、電気二重層コンデンサ2と、DRAM3と、メモリ制御回路4と、フラッシュメモリ5と、逆流防止ダイオード6と、電源断・復帰検出部7とから構成されている。この場合、空調監視装置14の直流電源回路11に電源断・復帰検出部7が接続されており、電源断・復帰検出部7の出力から信号線15がメモリ制御回路4に接続されている。また、直流電源回路11の出力が、逆流防止ダイオード6を通した後に電気二重層コンデンサ2とDRAM3とメモリ制御回路4とフラッシュメモリ5とに並列接続されている。また、DRAM3とメモリ制御回路4とフラッシュメモリ5と機器制御回路10は、アドレス／データバス8で接続されている。

【0010】直流電源回路11は、外部の交流電源12に接続され、交流電源12から供給される交流電圧を空調監視装置14で使用する直流電圧に変換する。電源断・復帰検出部7は、直流電源回路11の電源断及び復帰を検出し、メモリ制御回路4に制御信号を出力する。

【0011】逆流防止ダイオード6は、電源断時に電気二重層コンデンサ2の放電電流がメモリ・バックアップ装置1から逆流するのを阻止する。電気二重層コンデンサ2は、誘電体を使用せずに電気二重層に電荷を蓄える大容量のコンデンサで、少なくともメモリ・バックアップ装置1がバックアップ動作を完了するまでの時間、電力供給できる容量を有するものを用いる。

【0012】DRAM3は、記憶保持動作（リフレッシュ）が必要なRAM(Random-Access Memory)で、48時間分の時系列データを保持する記憶容量を備えている。メモリ制御回路4は、ASIC（特定用途向けIC）を用いており、次の機能を有する。

- 1) 定期的にDRAM3のリフレッシュを行う機能。
- 2) 電源断・復帰検出部7の電源断信号により、DRAM3からデータを読み出し、データを圧縮し、フラッシュメモリ5に書き込む機能。
- 3) 電源断・復帰検出部7の電源復帰信号により、フラッシュメモリ5からデータを読み出し、データを復元し、DRAM3に書き込む機能。

なお、データ圧縮のアルゴリズムは、データの種類の適した任意のもの、例えば、ハフマン符号や算術符号などを用いる。フラッシュメモリ5は、DRAM3と同じ記

憶容量を有するように構成される。機器制御回路10は、空調監視装置14のメモリ・バックアップ装置1と直流電源回路11を除く全ての回路で、例えば各種センサーが計測したデータを収集しデジタルデータに変換した後、フォーマット化して、アドレス／データバス8を介してDRAM3にサイクリックに書き込む機能などを有している。

【0013】次に図1を用いて第1の実施の形態によるメモリ・バックアップ装置の動作を説明する。交流電源12から電流が正常に供給されているとき、これを直流電源回路11が空調監視装置14で使用する直流電圧に変換し、機器制御回路10とメモリ・バックアップ装置1に電力供給する。メモリ・バックアップ装置1内では、逆流防止ダイオード6を通じて電気二重層コンデンサ2とDRAM3とメモリ制御回路4とフラッシュメモリ5とに電力供給される。この時に電気二重層コンデンサ2が充電される。この状態では、電源断・復帰検出部7が信号を出さないため、機器制御回路10がDRAM3に自由にアクセスして通常の動作をおこなっている。また、メモリ制御回路4が定期的にDRAM3のリフレッシュを行っている。フラッシュメモリ5は、電源断時のデータ書き込みに備え、メモリ制御回路4によってデータ内容のクリアが行われる。

【0014】交流電源12が停電等で電源断となると、これに連動して直流電源回路11の電力供給が止まる。電源断後の電力供給は電気二重層コンデンサ2と逆流防止ダイオード6によりDRAM3とメモリ制御回路4とフラッシュメモリ5に対してのみ行われる。

【0015】また、電源断・復帰検出部7が電源断を検出し、信号線15を通じてメモリ制御回路4に伝える。図2は電源断時のメモリ制御回路4の動作を示すフローチャートであり、同図のステップ100に示すように電源断・復帰検出部7の電源断信号によりデータ待避のための割り込みが行われて処理が開始される。

【0016】まず、ステップ101に示すように機器制御回路10がDRAM3にアクセスすることを禁止する。次に、DRAM3からデータを読み出して（ステップ102）、圧縮し（ステップ103）、フラッシュメモリ5に圧縮したデータを書き込む（ステップ104）。次に、ステップ105において全ての退避データの書き込みが完了したか確認し、未完の場合は上記ステップ102からステップ104までの動作を繰り返す。完了したらステップ106に示すように処理を終了する。なお、この退避動作中もDRAM3のリフレッシュは定期的に行われる。

【0017】ここで、例えばDRAM3の記憶容量を2Mバイトと仮定し、これに空調監視装置の48時間分の時系列データが記憶されている場合、ハフマン符号等を用いてデータ圧縮を行うとデータ量は約1.2Mバイトになる（約60%の圧縮率）。また、フラッシュメモリ

の書き込み速度は約125Kバイト/秒であり、書き込み時間は10.4秒である。2Mバイトを圧縮せずに書き込む時間は16.8秒なので、データ圧縮と書き込み時間を含めたデータの待避時間が、16.8秒以下となるようなデータ圧縮のアルゴリズムを選定することで、本発明の効果が得られる。なお、データ圧縮と書き込み動作は、同時進行で実行することもできる。ここで、データ退避時間が12秒とすると、この間の消費電力は1.2Wであるから、容量1Fの電気二重層コンデンサを使用できる。書き込み終了後に電気二重層コンデンサ2の電力供給は終了するが、フラッシュメモリ5に書き込まれたデータは保存される。

【0018】交流電源12が復電したとき、電源断・復帰検出部7が電源の復帰を検出し、メモリ制御回路4に信号を伝える。図3は電源復帰時のメモリ制御回路4の動作を示すフローチャートであり、同図のステップ200に示すように電源断・復帰検出部7の復帰信号によりデータ復元のための割り込みが行われて処理が開始される。

【0019】まず、ステップ201に示すように機器制御回路10がDRAM3にアクセスすることを禁止した後、DRAM3を初期化する(ステップ202)。次に、フラッシュメモリ5からデータを読み出して(ステップ203)、復元し(ステップ204)、DRAM3の該当エリアに復元したデータを書き込む(ステップ205)。次に、ステップ206において全ての復元データの書き込みが完了したか確認し、未完の場合は上記ステップ203からステップ205までの動作を繰り返す。完了したらステップ207に示すように機器制御回路10がDRAM3にアクセスすることを許可した後、処理を終了する(ステップ208)。なお、この復元動作中もDRAM3のリフレッシュは定期的に行われる。

【0020】図4は、本発明のメモリ・バックアップ装置の第2の実施の形態を示すブロック図であり、同図において図1と同一符号は同一部分を示す。このメモリ・バックアップ装置21が図1に示すものと異なる点は、フラッシュメモリ25の記憶容量をDRAM3の記憶容量より少なく構成したこと、メモリ制御回路24に定期的に揮発性メモリのデータを圧縮しそのデータ量を確認する機能を設けたこと及び容量オーバー通知部29が加えられたことである。この場合、容量オーバー通知部29は、例えばブザーやLED等のアラーム通知手段から構成されており、信号線16でメモリ制御回路24に接続されていて、メモリ制御回路24がDRAM3から読み出したデータを圧縮した後のデータ量がフラッシュメモリ25の記憶容量より多い場合に信号を受けてアラームを発して警告する。

【0021】次に、第2の実施の形態によるメモリ・バックアップ装置21の動作を説明する。第2の実施の形態では、通電中、メモリ制御回路24が定期的にDRA

M3にアクセスしてデータ圧縮を行い、フラッシュメモリ25の容量以下となるか確認する動作を行う。図5は、第2の実施の形態における通電時のメモリ制御回路24の動作を示すフローチャートであり、同図のステップ300に示すように定期的に割り込みが行われて処理が開始される。

【0022】まず、ステップ301に示すように機器制御回路10がDRAM3にアクセスすることを禁止する。次に、DRAM3からデータを読み出して(ステップ302)、圧縮し(ステップ303)、そのデータ容量を求めて(ステップ304)、さらに圧縮されたデータの容量の和を求める(ステップ305)。次に、ステップ306において全ての退避データの読み込みが完了したか確認し、未完の場合は上記ステップ302からステップ305までの動作を繰り返す。完了したらステップ307に示すように機器制御回路10がDRAM3にアクセスすることを許可する。次に、フラッシュメモリ25の待避データ記録エリアの容量と圧縮されたデータの容量の和を比較する(ステップ308)。ここで、圧縮されたデータの方が大きいと判断されたときはステップ309に進み、そうでなければステップ310に進んで処理を終了する。ステップ309においては、容量オーバー通知部29に信号を送った後、ステップ310へ進んで処理を終了する。

【0023】なお、信号を受けた容量オーバー通知部29は容量オーバーを表示と発音で警告する。また、この確認動作中もDRAM3のリフレッシュは定期的に行われる。

【0024】第2の実施の形態において、交流電源12が停電等で電源断となった場合の電源バックアップ動作は、第1の実施の形態と同じなので、説明を省略する。次に、第2の実施の形態における電源断時のメモリ・バックアップ装置21の動作を説明する。図6は電源断時のメモリ制御回路24の動作を示すフローチャートであり、同図ステップ400に示すように電源断・復帰検出部7の電源断信号によりデータ待避のための割り込みが行われて処理が開始される。

【0025】まず、ステップ401に示すように機器制御回路10がDRAM3にアクセスすることを禁止する。次に、DRAM3からデータを読み出して(ステップ402)、圧縮する(ステップ403)。次に、ステップ404において、圧縮されたデータサイズとフラッシュメモリ25の待避データ格納エリアの書き込み可能容量を比較する。ここで、圧縮されたデータサイズの方が大きいと判断されたときは、ステップ408に進んで未完ステータスをフラッシュメモリ25の待避状況データ格納エリアに書き込んだ後、ステップ409に進んで処理を終了する。また、書き込み可能な場合は、ステップ405に進んでフラッシュメモリ25の待避データ格納エリアに圧縮したデータを書き込む。次に、ステップ

406において、全ての退避データの書き込みが完了したか確認し、未完の場合は上記ステップ402からステップ405までの動作を繰り返す。完了したらステップ407に進んで完了ステータスをフラッシュメモリ25の待避状況データ格納エリアに書き込んだ後、ステップ409に進んで処理を終了する。なお、この退避動作中もDRAM3のリフレッシュは定期的に行われる。

【0026】交流電源12が復電したとき、電源断・復帰検出部7が電源の復帰を検出し、メモリ制御回路24に信号を伝える。図7は電源復帰時のメモリ制御回路24の動作を示すフローチャートであり、同図ステップ500に示すように電源断・復帰検出部7の復帰信号によりデータ復元のための割り込みが行われて処理が開始される。

【0027】まず、ステップ501に示すように機器制御回路10がDRAM3にアクセスすることを禁止した後、DRAM3を初期化する(ステップ502)。次に、フラッシュメモリ25からデータを読み出して(ステップ503)、復元し(ステップ504)、DRAM3の該当エリアに復元したデータを書き込む(ステップ505)。次に、ステップ506において全ての復元データの書き込みが完了したか確認し、未完の場合は上記ステップ503からステップ505までの動作を繰り返す。完了したら、フラッシュメモリ25の待避状況データ格納エリアのデータを読み出し(ステップ507)、そのステータスをステップ508においてチェックする。このステータスは待避データが全て記憶できたか否かを表しており、データが全て書き込まれていると判断されるとステップ510に進む。しかし、書き込まれていないデータがあると判断されたときはステップ509に進み、ステップ509において容量オーバー通知部29に信号を送った後、ステップ510に進む。ステップ510において、機器回路10がDRAM3にアクセスすることを許可し、ステップ511に進んで処理を終了する。

【0028】なお、この復元動作中もDRAM3のリフレッシュは定期的に行われる。なお、容量オーバー通知部29は、メモリ制御回路24の信号を受けるとアラームを発生して待避データに信頼性がないことを警告する。この時、機器は待機状態となる。これによって誤ったデータを使用する事がなくなる。

【0029】なお、メモリ制御回路4又は24は、ASIC(特定用途向けIC)に限られるものではなく、例えばリフレッシュ制御ICとワンチップマイクロコンピュータの組み合わせを用いたり、機器制御回路10のCPUが処理してもよい。

【0030】

【発明の効果】揮発性メモリのデータを不揮発性メモリに退避させるので、電源断が長時間に渡ってもデータ消滅が発生しないという効果が得られる。また、揮発性メ

モリのデータを圧縮して不揮発性メモリに書き込むので、書き込み時間が短縮されて消費電力が削減でき、コンデンサでデータの退避処理ができるため、電池を使用しなくて済むので機器の小型化及び軽量化が可能となり、電池の交換も不要となる効果が得られる。

【0031】また、通電中はデータの書き込み・読み出しに時間のかかる不揮発性メモリを使用しないので、高速のプロセッサを使用している機器においても、処理速度が低下しないという効果が得られる。

【0032】また、揮発性メモリのデータを圧縮することにより、不揮発性メモリの記憶容量を少なくすることができ、実装面積の縮小やコストダウンが図れるという効果が得られる。また、通電時に定期的に揮発性メモリのデータを圧縮して、そのデータ量が不揮発性メモリの記憶容量を越えないか確認し、越える場合は通知するようにしたので、別にバックアップをとるなどの処置を行うことができる。

【0033】また、データ退避時にデータが全て退避できなかったか不揮発性メモリに書き込み、電源復帰時にそれを確認するようにしたので、揮発性メモリの圧縮されたデータ量が不揮発性メモリの記憶容量を越えた場合は、電源復帰時に異常を知ることができ、処置を行うことができるという効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示すメモリ・バックアップ装置のブロック図である。

【図2】 図1のメモリ制御回路の電源断時の動作を説明するためのフローチャートである。

【図3】 図1のメモリ制御回路の電源復帰時の動作を説明するためのフローチャートである。

【図4】 本発明の第2の実施の形態を示すメモリ・バックアップ装置のブロック図である。

【図5】 図4のメモリ制御回路の通電時の動作を説明するためのフローチャートである。

【図6】 図4のメモリ制御回路の電源断時の動作を説明するためのフローチャートである。

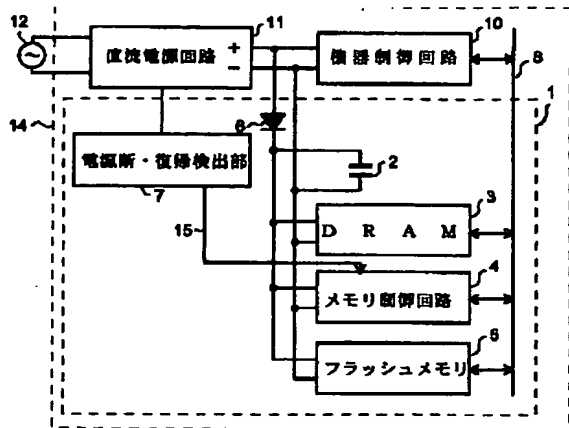
【図7】 図4のメモリ制御回路の電源復帰時の動作を説明するためのフローチャートである。

【図8】 電池を用いた従来のメモリ・バックアップ装置のブロック図である。

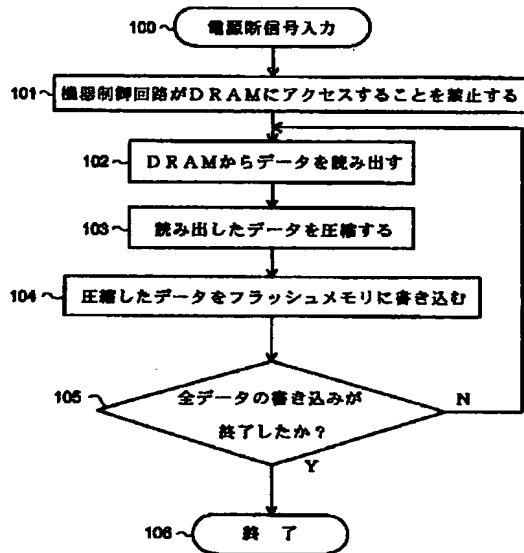
【符号の説明】

1, 21…メモリ・バックアップ装置、2…電気二重層コンデンサ、3…DRAM、4, 24…メモリ制御回路、5, 25…フラッシュメモリ、6…逆流防止ダイオード、7…電源断・復帰検出部、8…アドレス/データバス、9…揮発性メモリ、10…機器制御回路、11…直流電源回路、12…交流電源、13…電池、14, 20…空調監視装置、15, 16…信号線、29…容量オーバー通知部。

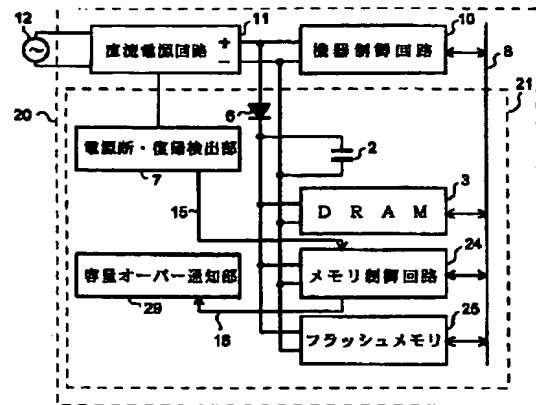
【図1】



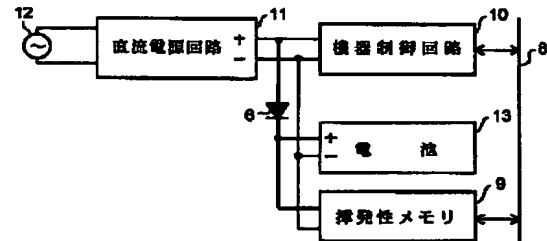
【図2】



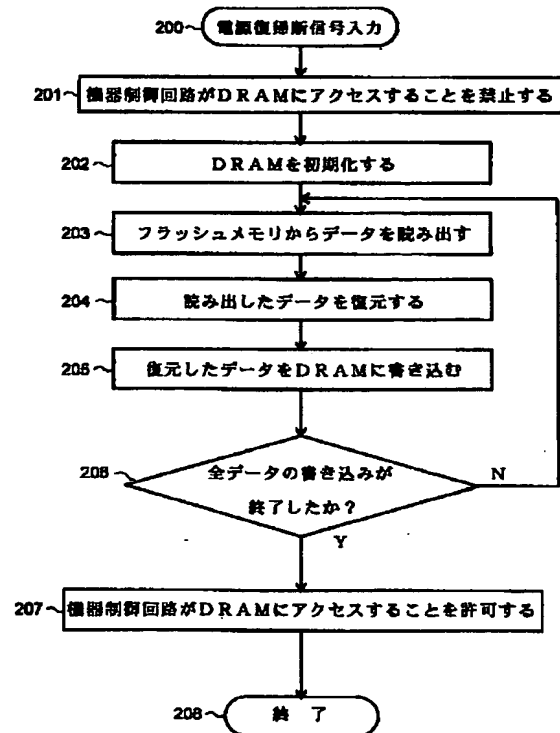
【図4】



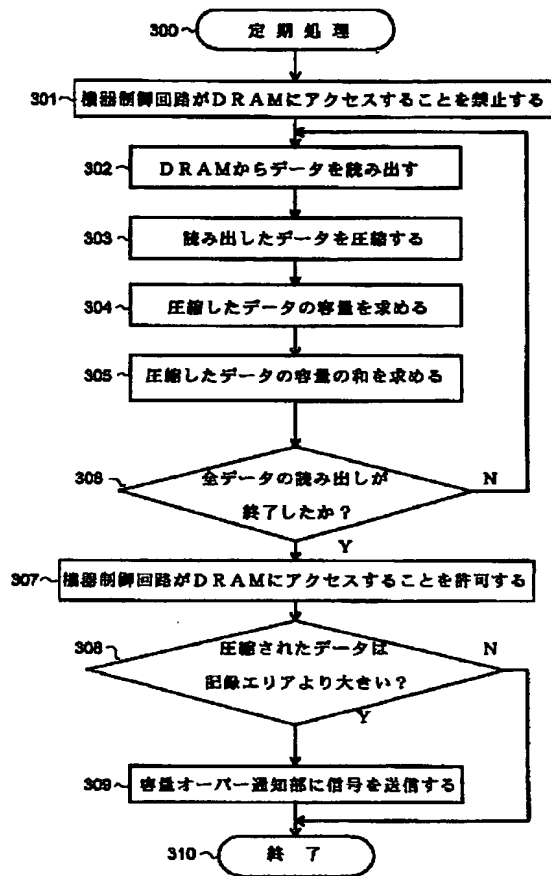
【図8】



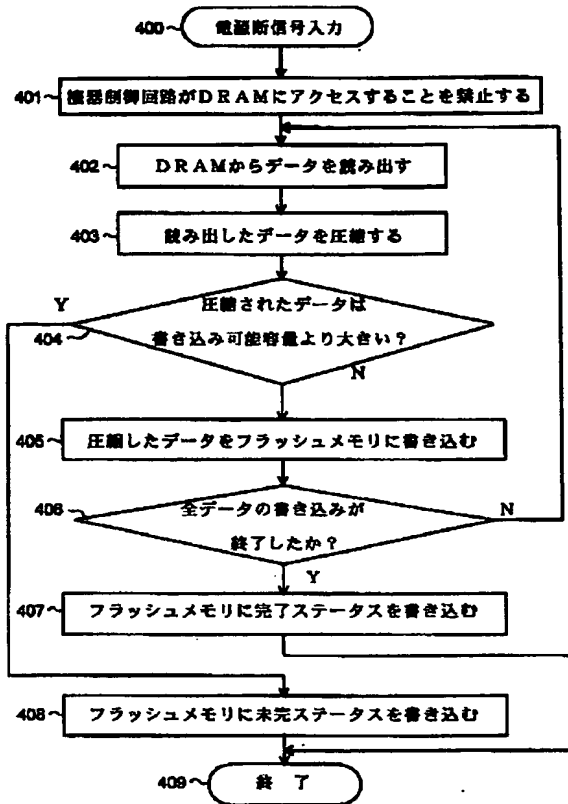
【図3】



【図5】



【図6】



【図7】

